

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58849

(P2000-58849A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 3 A 5 C 0 9 4
G 0 9 F 9/33		G 0 9 F 9/33	M
H 0 1 L 27/15		H 0 1 L 27/15	B
		29/78	6 1 7 N
			6 1 8 D
審査請求 有 請求項の数16 O L (全 14 頁)			

(21) 出願番号 特願平10-230938

(22) 出願日 平成10年8月17日 (1998.8.17)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤倉 克之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 義平

Fターム (参考) 5C094 AA13 AA15 AA31 AA44 BA03

BA27 BA31 CA19 DA13 EB05

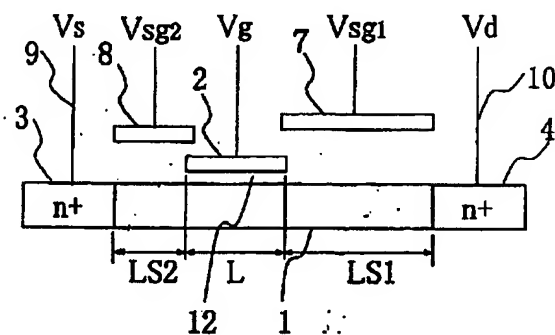
FB14

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

・【課題】 交流駆動型PDP等の容量性負荷駆動装置の低コスト化、及び高速動作化を図る。

・【解決手段】 高電圧出力バッファ回路を両側サブゲート構造poly-Si TFTによるCMOS回路で構成し、且つ前記両側サブゲート構造TFTはゲート電極2に対してドレイン電極6、及びソース電極5方向に各々サブゲート電極7、8を併設し、サブゲート電極7、8のうちソース電極5側に位置するサブゲート電極8により形成されるチャンネルの長さLS2を、ドレイン電極6側に位置するサブゲート電極7により形成されるチャンネルの長さLS1よりも短くする。



・【特許請求の範囲】

・【請求項1】 Pチャンネル及びNチャンネルの薄膜トランジスタ（TFT）を有し、Pチャンネル薄膜トランジスタ（PTFT）のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ（NTFT）のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（p-Si）層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極とを有する第1構造TFTによる前記回路と、

前記多結晶シリコン（p-Si）層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位置し前記第2絶縁層を介して設けられた第3ゲート電極とを有する第2構造TFTによる前記回路とを含み、

前記第3ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第2ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第2ゲート電極及び第3ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

・【請求項2】 前記第2ゲート電極と前記第3ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項1記載の薄膜半導体装置。

・【請求項3】 前記NTFTの前記第2ゲート電極及び前記第3ゲート電極を高電位側電源に接続し、前記PTFTの前記第2ゲート電極と前記第3ゲート電極を低電位側電源端子に接続したことを特徴とする請求項1記載の薄膜半導体装置。

・【請求項4】 Pチャンネル及びNチャンネルの薄膜トランジスタ（TFT）を有し、Pチャンネル薄膜トランジスタ（PTFT）のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ（NTFT）のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（p-Si）層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位

10

20

30

40

50

置し前記第2絶縁層を介して設けられた第3ゲート電極とを有する第2構造TFTによる前記回路とを含み、

前記第3ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第2ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第2ゲート電極及び第3ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

・【請求項5】 前記第2ゲート電極と前記第3ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項4記載の薄膜半導体装置。

・【請求項6】 前記NTFTの前記第2ゲート電極及び前記第3ゲート電極を高電位側電源に接続し、前記PTFTの前記第2ゲート電極と前記第3ゲート電極を低電位側電源端子に接続したことを特徴とする請求項4記載の薄膜半導体装置。

・【請求項7】 Pチャンネル及びNチャンネルの薄膜トランジスタ（TFT）を有し、Pチャンネル薄膜トランジスタ（PTFT）のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ（NTFT）のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（p-Si）層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極とを有する第1構造TFTによる前記回路と、

前記多結晶シリコン（p-Si）層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層及び第2絶縁層とを介して設けられた第4ゲート電極と、前記第4ゲート電極と前記ドレイン側不純物層との間に位置し第3絶縁層を介して設けられた第5ゲート電極と、前記第4ゲート電極と前記ソース側不純物層との間に位置し前記第3絶縁層を介して設けられた第6ゲート電極とを有する第3構造TFTによる前記回路とを含み、

前記第6ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第5ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第5ゲート電極及び第6ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

・【請求項8】 前記第5ゲート電極と前記第6ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項7記載の薄膜半導体装置。

・【請求項9】 前記NTFTの前記第5ゲート電極及び前記第6ゲート電極を高電位側電源に接続し、前記PTFTの前記第5ゲート電極と前記第6ゲート電極を低電位側電源端子に接続したことを特徴とする請求項7記載の薄膜半導体装置。

・【請求項10】 Pチャンネル及びNチャンネルの薄膜トランジスタ(TFT)を有し、Pチャンネル薄膜トランジスタ(PTFT)のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ(NTFT)のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極とを有する第1構造TFTによる前記回路と、

多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位置し前記第2絶縁層を介して設けられた第3ゲート電極とを有する第2構造TFTによる前記回路と、

前記多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層及び第2絶縁層とを介して設けられた第4ゲート電極と、前記第4ゲート電極と前記ドレイン側不純物層との間に位置し第3絶縁層を介して設けられた第5ゲート電極と、前記第4ゲート電極と前記ソース側不純物層との間に位置し前記第3絶縁層を介して設けられた第6ゲート電極とを有する第3構造TFTによる前記回路とを含み、

前記第3ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第2ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第2ゲート電極及び第3ゲート電極にバイアス電圧を印加し、

前記第6ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第5ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第5ゲート電極及び第6ゲート電極に他のバイアス電圧を印加することを特徴とする薄膜半導体装置。

・【請求項11】 前記第2ゲート電極と前記第3ゲート電極に共通のバイアス電圧を印加し、前記第5ゲート電極と前記第6ゲート電極に他の共通のバイアス電圧を印加することを特徴とする請求項10記載の薄膜半導体装置。

・【請求項12】 前記NTFTの前記第2ゲート電極及び前記第3ゲート電極を高電位側電源に接続し、前記PTFTの前記第2ゲート電極と前記第3ゲート電極を低電位側電源端子に接続し、前記NTFTの前記第5ゲート

電極及び前記第6ゲート電極を高電位側電源に接続し、前記PTFTの前記第5ゲート電極と前記第6ゲート電極を低電位側電源端子に接続することを特徴とする請求項10記載の薄膜半導体装置。

・【請求項13】 Pチャンネル及びNチャンネルの薄膜トランジスタ(TFT)を有し、Pチャンネル薄膜トランジスタ(PTFT)のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ(NTFT)のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位置し第3絶縁層を介して設けられた第6ゲート電極とを有する第4構造TFTによる前記回路を含み、

前記第6ゲート電極により前記p-Si層中に形成されるチャンネルの長さを、前記第2ゲート電極により前記p-Si層中に形成されるチャンネルの長さよりも短くし、前記第2ゲート電極及び第6ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

・【請求項14】 前記第2ゲート電極と前記第6ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項13記載の薄膜半導体装置。

・【請求項15】 前記NTFTの前記第2ゲート電極及び前記第6ゲート電極を高電位側電源に接続し、前記PTFTの前記第2ゲート電極と前記第6ゲート電極を低電位側電源端子に接続したことを特徴とする請求項13記載の薄膜半導体装置。

・【請求項16】 前記第1構造TFTの前記第1ゲート電極、前記ソース側不純物層、前記ドレイン側不純物層、及び、前記p-Si層とがセルフアライン構造を取ることを特徴とする請求項1、7、10のいずれかに記載された薄膜半導体装置。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】本発明は、薄膜半導体装置に関し、特に交流駆動型プラズマディスプレイ(以下PDPを略す)やエレクトロルミネッセンスディスプレイ(以下ELと略す)のような高電圧動作の必要なマトリクスディスプレイ等を駆動するのに用いる薄膜半導体装置に関する。

・【0002】

・【従来の技術】液晶ディスプレイ、PDP、あるいはELといったフラットパネルディスプレイが既に世の中に出現している。近年では特にPDPの大画面化が進み、

10

20

30

40

50

40、50インチといった、CRTでは技術的に不可能なほどのサイズの物も実用化されてきており、将来CRTに代わるディスプレイとして大きな期待を集めている。しかしながら一方では、CRTに比べてまだまだ高価で、一般家庭にPDPを普及させるには大幅な低コスト化が求められているのが実状である。

・【0003】PDPにはマトリクス状に発光セルが配列されており、これらのセルを発光駆動するための方式として交流駆動型、及び直流駆動型がある。両者のうち現在主流となっているのは交流駆動型である。図10は交流駆動型PDPのパネル及びその駆動回路部分の構成を示したブロック図である。PDPパネル21は、 $k \times n$ 本のデータ電極22を形成したガラス板と、走査電極23と維持電極24を各々 $L \times m$ 本形成したガラス板とを、互いに貼り合わせて封止した構造となっている。これら3種類の電極で囲まれた空間領域が発光セルとなり、隣接するセル同士は隔壁により分離されている。セル内には希ガス等からなる混合ガスが封入されており、これらの電極に電圧を印加することによりセル内部では放電が起こり発光する。なお、全ての電極は絶縁層により放電空間から隔離されており、駆動回路からみるとPDPパネル21は容量性負荷となり、この容量に駆動回路から電荷が充電される過渡状態時にのみ放電が行われる。これが交流駆動型と呼ばれる所以である。 $k \times n$ 本のデータ電極22にはデータドライバ25a～25kの出力端子D1～Dknが接続されており、 $L \times m$ 本の走査電極23には走査ドライバ26A～26Lの出力端子S1～SLmが接続されている。また、 $L \times m$ 本の維持電極24には維持パルス発生器27が接続されており、さらに走査ドライバ26A～26Lの電源入力端子には図示しない切換スイッチを介して維持パルス発生器27が接続されている。以上の構成において、データドライバ25a～25k及び走査ドライバ26A～26Lは既にIC化されている。

・【0004】PDPでは画像の中間調表示を行うために、画面の1フィールドを複数のサブフィールドに分割している。図12は、図10に示すPDP各部の1サブフィールド期間における駆動波形図である。先ず書込期間では、走査ドライバ26A～26Lから各走査電極S1～SLmに対して走査パルス信号（振幅 $V_s - V_b = -80 \sim -90V$ ）が順次印加され、これに同期してデータドライバ25a～25kからデータ電極D1～Dknに対して表示信号であるデータパルス信号が印加される。これにより各データ電極22と選択状態にある走査電極23との交点上のセルに表示信号が印加され、すべての走査電極23を走査することによりPDPパネル21の全てのセルに表示信号が書き込まれる。なお、このデータパルス信号の出力駆動電圧VDは、高電位側電源Vdd（ $=60 \sim 80V$ ）及び低電位側電源Vss間の二値をとり、各セル内ではこの書込情報が保持される。

・【0005】次に維持期間では、維持パルス発生器27から全ての維持電極24に対して共通の連続した維持パルス（振幅 $V_c - V_{ss} = -160 \sim -180V$ ）を印加する。また、全ての走査電極23に対しては走査ドライバ26A～26Lの電源入力端子に接続されている図示しない切換スイッチを維持パルス発生器27側に切り換えることにより、維持パルス発生器27から全ての走査電極23に対して共通の連続した維持パルスを印加する。但し、走査電極23に印加する維持パルスは維持電極24に印加するそれとは逆位相のものである。この維持期間においては、書込期間でデータ電極22にVddレベルの信号が書き込まれたセルのみが放電を起こして発光する。また、連続した維持パルスの出力パルス数サブフィールド毎に変化させることでセルの発光回数が増加するため、視覚的には発光輝度が増加したように見え、中間調表示が可能となる。

・【0006】最後に予備放電期間では、予備放電パルス、及び予備放電消去パルスを全ての走査電極23、全ての維持電極24に印加することにより、各セルに保持されていたデータパルス信号を消去し、次の1サブフィールド期間に移る。

・【0007】上述の一連の動作において、各データ電極22に印加すべき表示信号は図10に示す範囲の外部からDAT1～DATkのロジック信号としてデータドライバ25a～25kに入力される。

・【0008】図11は、各データドライバ25a～25kの内部構成を示すブロック図である。同図において、nビットシフトレジスタ28はクロックパルスCLKに同期して、外部から入力されたシリアル表示信号DATkを順次取り込んで、パラレル信号Q1～Qnに変換する。nビットラッチ29はこれらのパラレル信号Q1～Qnを取り込んだ後に、図12に示した1～Lmの走査パルスに同期したラッチ信号LEのタイミングでパラレル信号S1～Snを同一タイミングで出力する。ここまですべてで処理される信号は振幅が3、3～5V程度の低電圧ロジック信号である。次にレベルシフタ30は、パラレル信号S1～Snを60～80V以上の振幅をもつ高電圧ロジック信号に個別にレベル変換する。そして出力バッファ31は、レベルシフタ30の出力信号を大きな電流容量に変換して出力し、各データ電極22を駆動する。

・【0009】以上のPDPの構成及び動作において、最近の50インチクラス高精細カラーの仕様では表示画素数が1365×768となり、データ電極数はRGB3色合計で4095本にも達する。一般的に使用されているデータドライバIC及び走査ドライバICの出力端子数は40～96出力であるから、データドライバICの使用個数は43～102個と非常に多い。さらに、高精細PDPでは、データドライバ内部における表示信号の処理速度が速くなり、しかもドライバの負荷となるデー

タ電極1本当たりの容量も大きくなるため、図10においてデータ電極22をPDPパネル21の上下方向の中心で2分割してそれぞれ上下に引き出して別々に駆動する方式や、データ電極22を1本おきに上下に引き出して別々に駆動する方式を採ることで、ドライバ内部の動作周波数を下げたり、駆動負荷を軽減している。しかし、このような方式を採った場合には、データドライバICの使用個数はさらに増えることとなり、今後のPDPの低コスト化に対して大きな障害となる。従って、データドライバICの低コスト化が非常に重要な課題とな

ってきている。
 ・【0010】ここで、上述したデータドライバICのデバイス構造について説明する。データドライバIC内部では低電圧及び高電圧のロジック信号を取り扱うが、特に高電圧に対しては高耐圧MOSFETを回路に用いている。具体的には、LDD (Lightly Doped Drain) 構造やサブゲート構造があげられる。これらは何れもドレイン電極側に前記構造をもつ領域を設けることで、ゲート電極下のチャネル領域のドレイン端とドレイン電極間に電位勾配を持たせて、ドレイン高電界を緩和しようというものである。図15は、LDD構造高耐圧MOSFETを用いてCMOSインバータ回路を構成し、図11内の出力バッファ31に用いた例を示す断面図である。その製造工程の一例としては、まず半導体基板14上に不純物イオン注入によりnウェル16、及びドレイン領域となるN側低濃度不純物層17、P側低濃度不純物層18を順次形成する。その後、フィールド酸化膜15を形成する。次に、N側ゲート電極2a及びP側ゲート電極2bを形成してから、ソース領域及び保護ダイオードとなるソース側n型不純物層3a、ソース側p型不純物層3bを形成する。そして、ソース側コンタクト5及びドレイン側コンタクト6を開口した後、アルミ等の金属薄膜からなるN側ソース電極9a、P側ソース電極9b、及びドレイン電極10を形成する。以上の製造工程により、高耐圧MOSFETを用いたCMOSインバータを製造しようとした場合、必要なマスクPR数は8PRとなる。しかし、実際のドライバICでは低電圧ロジック回路用MOSFETを同一基板上に形成したり、2層アルミ配線により内部回路の接続レイアウトを行うのが一般的であるから、上記例の製造工程に必要なマスクPR数は少なくとも10PR以上となる。

・【0011】ところで、筆者らは先に述べたドライバICに対する低コスト化要求に応えるための一つの方法として、多結晶シリコン (以下poly-Siと略す) からなる薄膜トランジスタ (Thin Film Transistor、以下TFTと略す) を用いてデータドライバICを実現するための研究を重ねてきた。以前のpoly-Si薄膜は1000℃程度と半導体製造プロセス並みの高温で形成する方法が主体で、そのような条

件に耐えるような基板材料として石英基板を用いてきた。しかし、近年では500℃以下のプロセス温度で形成可能な、いわゆる低温poly-Si薄膜が主流となってきており、基板材料として安価な無アルカリガラス基板が使用できることから、半導体基板に対してデバイス部材のコスト低減が可能である。また、その製造プロセスは液晶ディスプレイに用いる非晶質シリコンTFT用のものとある程度共有化が可能であり、しかも半導体基板に比べて大面積の基板が使用できるため、一括大量生産による製造コスト低減も可能である。一方、デバイス特性的に見れば特に最近では技術開発も進んで高品質な低温poly-Si薄膜が得られるようになり、TFTとしての移動度も大幅に向上してきている。さらに、TFTは絶縁基板上に形成されることから、各TFT素子間が完全に分離されるので、従来の半導体基板上に形成されるMOSFETのように、基板内の寄生素子を介したラッチアップ現象は根本的に発生しない。これは、特にデータドライバのような高耐圧ICにとっては大きなメリットとなり、信頼性向上が可能である。さらに、同様の理由からトランジスタと基板との間の寄生容量がないため、デバイス動作の高速化が可能である。このような理由から、PDPのデータドライバICに対して、poly-SiTFTを用いた薄膜半導体装置の適用可能性に道が開けてきた。

・【0012】データドライバICを実現するには、先にも述べたとおり高耐圧TFTの実用化が不可欠である。高耐圧TFTの公知例としてはサブゲート構造TFTがあり、それはTiao-Yuan Huangらによって (「A Simpler 100-V Polysilicon TFT with Improved Turn-ON Characteristics」, IEEE Electron Device Letters, vol. 11, No. 6, June, 1990) に報告されている。図17は従来のサブゲート構造TFTの断面図である。絶縁性基板上にpoly-Si層1が堆積されており、チャネル領域となる。poly-Si層1上には、第1ゲート絶縁層12を介してゲート電極2が形成されている。ゲート電極2上にはさらに第2ゲート絶縁層11が形成されておりその上部には第2ゲート電極7が形成されている。本構成によるサブゲート構造TFTはゲート電極2下に形成されるTFTと、第2ゲート電極7下に形成されるTFTとを直列接続したものとみなすことができる。なお、ゲート電極2と第2ゲート電極7とは微妙にオーバーラップしている。poly-Si層1のうち、これら2つのゲート電極下に位置する領域はノンドープで、その両端部にはソース側不純物層3及びドレイン側不純物層4が形成されている。ゲート電極2に印加するゲート電圧 V_g を変化させることによりTFTのオン/オフ制御を行う。また、第2ゲート電極7には所定の正バイアス電圧 V_{fp} を印加することによ

り、第2ゲート電極7下に形成されるTFTのチャンネル領域におけるソース端とドレイン側不純物層4との間に電位勾配を持たせることにより、ゲート電極2下に形成されるTFTのチャンネル領域におけるドレイン端とソース側不純物層3との間の電界を緩和させる。これにより、サブゲート構造TFT全体としてみたドレイン～ソース電極間の高耐圧化を実現するものである。

・【0013】図18は従来のサブゲート構造TFTを用いてCMOSインバータ回路を構成した例として報告されている回路図である。PTFT35及びNTFT36のサブゲート電極は、それぞれVss及びVdd端子に接続されているので、一定の電圧が印加される。また、各ゲート電極にはVdd-Vssの振幅を有するゲートパルス電圧Vgを印加することにより、インバータ回路の出力Voutの論理状態を制御する。なお、本例ではPTFT35及びNTFT36の各ゲート電極を共通に接続してあるが、必ずしもこれに限定する必要はなく各々独立したゲート電圧を印加しても良い。この場合、各ゲート電圧の振幅はVdd-Vssよりも小さくても良い。

・【0014】しかしながら、以上のようなサブゲート構造TFTを用いて、これをディスプレイ駆動用ドライバICとして応用検討した事例はない。

・【0015】ここで、実際のPDPを駆動する場合を考えてみる。図13は、図10に示すデータドライバの出力バッファをTFTで構成してその1回路分を抜き出したものと、それに接続されているデータ電極Dn、隣接データ電極Dn-1、Dn+1、及び走査電極23、及び維持電極24との間の結合容量を示した等価回路である。CDは隣接データ電極間結合容量、Csは1本のデータ電極Dnとそれに交差する全ての走査電極との間の結合容量、またCcは1本のデータ電極Dnとそれに交差する全ての維持電極との間の結合容量である。このような結合容量が存在すると、隣接データ電極、あるいは走査電極、維持電極の駆動電圧レベルが変化した際に、データ電極Dnの電圧がこれらの結合容量を介して変動する。

・【0016】図14は、図12に示した波形図の書込期間において、データ電極Dnの電圧変動の様子を示した波形図である。図12において、走査ドライバの駆動出力状態が例えば同図(B)から(C)に変化するタイミングに同期して、データ電極Dnの駆動出力状態はVssを維持し、且つDnに隣接するデータ電極Dn-1、Dn+1の駆動出力状態がVddからVssに変化するような表示パターンを想定した場合、データ電極Dnの駆動電圧VDnは本来Vssであるが、負方向に $\Delta V D n$ の変動が発生した後に、NTFT36のオン抵抗分を介して変動電圧分がVssに吸収されて本来の電圧に戻る。実際のPDPにおける結合容量の値は、CD、Cs、Cc共に約15pFである。このときの変動電圧分

$\Delta V D n$ のピーク値は約30Vとなる。

・【0017】以上説明した電圧変動が起こると、図13のNTFT36においてドレイン電極側の電圧がソース電極側のそれよりも低くなる。この場合、図17で説明したような従来のサブゲート構造TFTの場合には、ドレイン～ソース電極間の電位関係が逆転するとTFTのソース電極側に電界の緩和効果がないため耐圧が極端に低くなり、容易にブレイクダウンして素子破壊を引き起こすという問題があった。

10 ・【0018】この問題に対しては、図15に示したLDD構造高耐圧MOSFETではソース側n型不純物層3a、ソース側p型不純物層3bを設け、出力保護ダイオードをMOSFET内部に形成することにより解決していた。図16は、保護ダイオードを形成したMOSFETによるインバータ回路の等価回路図である。PFET32及びNFET33のドレイン～ソース間に保護ダイオード34が挿入されており、ドレイン～ソース間に逆電圧が印加されるとダイオードが導通する。その際、ダイオード電流は基板方向に流れるためMOSFETに比べて電流容量が大で、逆電圧に伴う電流はほとんどダイオードを通るので、トランジスタの破壊を防止することができる。

20 ・【0019】これに対し、poly-SiTFTは絶縁基板上に形成され、しかも図17のpoly-Si層1は一般に1000オングストローム以下と薄いため、図15の高耐圧MOSFET断面図に示すような厚さ方向の不純物プロファイルにより保護ダイオードを形成することは不可能である。従って、保護ダイオードはラテラル構造のものとし、TFTとは独立した素子として基板上に形成する必要がある。しかし、その場合には素子レイアウト面積が大きくなるという問題がある。さらにpoly-Si薄膜には結晶粒界があるためにそれを介したリーク電流が多く、ダイオードを形成しても整流特性が悪いという欠点があり、現状ではこれをダイオードとして用いるのは困難である。そこで別に設けたTFTをダイオード接続することにより保護用素子として用いる方法が一般的にとられている。

30 ・【0020】図19は出力バッファ用のPTFT35及びNTFT36とは別に、PTFT保護素子37及びNTFT保護素子38を設けた高耐圧出力バッファの一例を示す回路図である。出力端子VoutにはPDPパネルのデータ電極が接続されるが、前述したような結合容量を介してVoutの電圧が変動した場合には、これらの保護素子37、38を介してその変動分を吸収しようとするものである。しかしながら、図19の構成では保護素子37、38のドレイン側の耐圧を確保する必要性は出力バッファ用TFT35、36の場合と何ら変わりはないため、サブゲート電極をドレイン側に入れることになる。しかし、これではソース電極側の電界緩和作用がなく、ドレイン～ソース間逆電圧印加時の素子破壊に

対する解決にはならない。

・【0021】上記問題に対する解決策として、出力バッファTFTのサブゲート電極をドレイン電極側に加えて新たにソース電極側にも設けた、いわゆる両側サブゲート構造にすることによってドレイン～ソース間逆耐圧を向上させる方法が考えられる。

・【0022】図20は、特開平5-251702公報に開示されている従来の両側サブゲート構造TFTの断面図である。絶縁性基板13上にアルミ薄膜からなるソース電極9及びドレイン電極10が形成され、さらにその上部にはソース側n型不純物層3a、ソース側p型不純物層3b、ドレイン側n型不純物層4a、及びドレイン側p型不純物層4bが形成されている。poly-Si層1は前記不純物層を覆うように形成され、その上部には第1ゲート絶縁層12を介してゲート電極2が形成されている。さらに、第2ゲート絶縁層11を介して第2ゲート電極7及び第3ゲート電極8が形成されている。

・【0023】また、図21は特開平5-90587号公報に開示されている従来の両側サブゲート構造MOSFETの断面図である。半導体基板14上にフィールド酸化膜15が形成され、これに囲まれた領域に第1ゲート絶縁層12、ゲート電極2が順次形成されている。また、第1ゲート絶縁層12にはソース側コンタクト5及びドレイン側コンタクト6が開口されている。そして、第1ゲート絶縁層12上部には第2ゲート絶縁層11を介して第2ゲート電極7及び第3ゲート電極8が形成されている。

・【0024】

・【発明が解決しようとする課題】上述したこれらの公報に開示されている両側サブゲート構造TFTもしくはMOSFETは、その発明図を見ると何れも第2ゲート電極7と同じチャネル方向長さをもつ、第3ゲート電極8を有するように記載されている。従って、このようなTFTを用いればTFTのドレイン～ソース間における逆方向耐圧は、順方向のそれと同じだけ確保することが可能である。図5はサブゲート構造TFTにおいて、サブゲート電極に印加するバイアス電圧を一定にした場合の、ドレイン電流 I_d とドレイン～ソース間逆方向電圧 $-V_{ds}$ との関係を示す特性図である。同図において、(a)片側サブゲート構造のドレイン～ソース間逆耐圧 BV_{dsa} は低い、(c)両側サブゲート構造とすることにより耐圧は BV_{dsc} のように向上し、これは片側サブゲート構造におけるドレイン～ソース間順方向の耐圧に相当する。しかし、耐圧が向上する一方でオン電流は制限される。図6はサブゲート構造TFTにおけるオン電流特性図である。同図において、(c)両側サブゲート構造とすることにより、オン電流は片側サブゲート構造の場合に比べて大幅に低下する。このため、ドライバとして所望の駆動能力を確保しようとすると、出力バッファ用TFTのサイズを大きくしなければなら

い。すると、ドライバICチップ面積の増加、ひいてはコストアップを招くという問題があった。

・【0025】そこで、本発明は、容量性負荷駆動装置、とりわけ交流駆動型PDP等を駆動するためのディスプレイ駆動装置を低コスト化すると共に、それに伴って発生する駆動能力低下を抑えつつ、負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブランクダウンによる素子破壊を防止することのできる薄膜半導体装置を提供することを課題としている。

10 ・【0026】

・【課題を解決するための手段】上記の課題を解決するための本発明は、Pチャンネル及びNチャンネルの薄膜トランジスタ(TFT)を有し、Pチャンネル薄膜トランジスタ(PTFT)のソース電極は高電位側電源に接続され、Nチャンネル薄膜トランジスタ(NTFT)のソース電極は低電位側電源に接続され、前記PTFT及び前記NTFTのドレイン電極を共通に接続した回路を含む薄膜半導体装置である。

・【0027】そして、上記TFTは、多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極とを有する第1構造TFTによる前記回路と、多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位置し前記第2絶縁層を介して設けられた第3ゲート電極とを有する第2構造TFTによる前記回路と、多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層及び第2絶縁層とを介して設けられた第4ゲート電極と、前記第4ゲート電極と前記ドレイン側不純物層との間に位置し第3絶縁層を介して設けられた第5ゲート電極と、前記第4ゲート電極と前記ソース側不純物層との間に位置し前記第3絶縁層を介して設けられた第6ゲート電極とを有する第3構造TFTによる前記回路と、多結晶シリコン(p-Si)層と、前記p-Si層の一端に形成したソース側不純物層と、前記p-Si層の他端に形成したドレイン側不純物層と、前記p-Si層上に第1絶縁層を介して設けられた第1ゲート電極と、前記第1ゲート電極と前記ドレイン側不純物層との間に位置し第2絶縁層を介して設けられた第2ゲート電極と、前記第1ゲート電極と前記ソース側不純物層との間に位置し第3絶縁層を介して設けられた第6ゲート電極とを有する第4構造TFTによる前

記回路の4種類の回路の内少なくとも一つを選択して構成する。

・【0028】更に、主ゲート（第1又は第4ゲート電極）と前記ソース側不純物層との間に位置するサブゲート（第3又は第6ゲート電極）がp-Si層に作るチャンネルの長さ LS_2 を、主ゲート（第1又は第4ゲート電極）と前記ドレイン側不純物層との間に位置するサブゲート（第2又は第5ゲート電極）がp-Si層に作るチャンネルの長さ LS_1 より短くしている。

・【0029】

・【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

・【0030】図1は、本発明の薄膜半導体装置を構成する両側サブゲート構造TFTの断面図である。図1に示すように、本発明の薄膜半導体装置は、多結晶シリコン・(p-Si)層1と、p-Si層1の一端に形成したソース側不純物層3と、p-Si層の他端に形成したドレイン側不純物層4と、前記p-Si層1上に図示しない第1絶縁層を介して設けられた第1ゲート電極(Vg)2と、第1ゲート電極(Vg)2とドレイン側不純物層4との間に位置し図示しない第2絶縁層を介して設けられた第2ゲート電極(Vsg1)7と、第1ゲート電極(Vg)2とソース側不純物層3との間に位置し図示しない第3絶縁層を介して設けられた第6ゲート電極(Vsg2)8とを有する構造のTFTを含んでおり、第6ゲート電極(Vsg2)8によりp-Si層中に形成されるチャンネルの長さ LS_2 を、第2ゲート電極(Vsg1)7により前記p-Si層中に形成されるチャンネルの長さ LS_1 よりも短くしている。

・【0031】図2は、図1に示した両側サブゲート構造TFTを用いた本発明の第1の実施形態による薄膜半導体装置の回路図である。PTFT35のソース電極は電源Vddに接続され、NTFT36のソース電極はVssに接続されている。一方、各TFTのドレイン電極同士は共通接続されて出力Voutとなっており、その負荷にはPDPのデータ電極等の容量性負荷が接続されている。信号入力端子は、PTFT35のゲート電極及びNTFT36のゲート電極で、それぞれVgp、Vgnのゲート電圧を印加する。さらに、PTFT35及びNTFT36のサブゲート電極には、それぞれVsgp1、Vsgp2、Vsgn1、Vsgn2のバイアス電圧を印加する。

・【0032】上記構成の薄膜半導体装置をPDP等のデータドライバとして用いた場合、隣接データ電極、あるいは走査電極、維持電極の駆動電圧レベルが変化した際に、隣接データ電極間結合容量CD、1本のデータ電極Dnとそれに交差する全ての走査電極との間の結合容量Cs、または1本のデータ電極Dnとそれに交差する全ての維持電極との間の結合容量Ccを介して、データ電極Dnの電圧が ΔV_{Dn} だけ変動すると仮定する。その

際、図2の断面構造において、第2サブゲート電極8下に形成されるTFTのチャンネル長 LS_2 が $LS_2 < LS_1$ となり、且つ図5(b)に示すようにドレイン～ソース間逆方向耐圧の大きさ BV_{dsb} が $BV_{ds} > \Delta V_{Dn}$ となるような範囲で、 LS_2 を設定して両側サブゲート構造TFTを形成する。これにより、図6(b)に示すようにドレイン電流低下を従来の両側サブゲート構造TFTよりも抑えつつ、且つ必要なドレイン～ソース間逆方向耐圧を確保することができる。

10 ・【0033】従って、本実施形態によれば、薄膜半導体装置の駆動能力低下を従来の両側サブゲート構造TFTを用いた場合よりも少なくしつつ、且つ負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブレイクダウンによる素子破壊を防止することが可能となる。これにより、必要な耐圧を確保しつつ、従来の両側サブゲート構造TFTを用いた装置よりも小型化が可能となる。また、TFTは絶縁基板上に形成されることから、各TFT素子間が完全に分離されるので、従来の半導体基板上に形成されるMOSFETのように、
20 基板内の寄生素子を介したラッチアップ現象は根本的に発生せず、信頼性が向上する。さらに、MOSFETのように半導体基板との間の寄生容量がないため、今後の技術開発によりpoly-Si薄膜の移動度が結晶シリコン並みに向上すれば、半導体基板上のMOSFETにより構成された回路よりも高速度動作が可能となる。

・【0034】図3は、本発明の第2実施形態による薄膜半導体装置の回路図である。PTFT35とNTFT36はCMOSインバータ回路を形成している。また、PTFT35の2本のサブゲート電極は共通に接続されており、Vsgpなるバイアス電圧を印加する。NTFT36の2本のサブゲート電極についても同様にしてバイアス電圧Vsgnを印加する。バイアス電圧は、TFTに印加されるドレイン～ソース電極間電圧の内、図2のpoly-Si層1の中でゲート電極2下に形成されるTFTのチャンネル領域に分圧される電圧がこのチャンネル領域の耐圧以内になるように設定する。本実施形態のようなバイアスの印加方法をとることにより、必要となるバイアス電圧の種類が少なくて済むので、外部電源を含めた搭載装置の低コスト化が可能である。

30 40 50 ・【0035】図4は、本発明の第3実施形態による薄膜半導体装置の回路図である。本実施形態においては、PTFT35の2本のサブゲート電極は共通に接続されており、バイアス電圧としてVssを印加する。一方、NTFT36の2本のサブゲート電極についても同様にしてバイアス電圧としてVddを印加する。この場合、バイアス電圧源を新たに設ける必要がないため、本発明の薄膜半導体装置を搭載する装置全体としてみるとさらなる低コスト化が可能である。但し、TFTに印加されるドレイン～ソース電極間電圧の内、図2のpoly-Si層1の中でゲート電極2下に形成されるTFTのチャ

ネル領域に分圧される電圧がこのチャンネル領域の耐圧以内になるようにするために、チャンネル長 L 、チャンネル長 $LS1$ 、及びチャンネル長 $LS2$ の比率、及び第1ゲート絶縁層12、第2ゲート絶縁層11の比率を適切に設定する必要がある。

・【0036】図8の右半分は本発明の第4実施形態による薄膜半導体装置の断面図であり、高耐圧N側ゲート電極19a、高耐圧P側ゲート電極19bにより形成されるTFTからなる。無アルカリガラス等の絶縁性基板13上にはpoly-Si層1が形成され、その両端部にはNTFTとなるpoly-Si層1の両端部にはソース側n型不純物層3a、ドレイン側n型不純物層4aが形成され、同様にPTFTの側にはソース側p型不純物層3b、ドレイン側p型不純物層4bが形成されている。そして、それらの上部に第1ゲート絶縁層12を介して高耐圧N側ゲート電極19a、高耐圧P側ゲート電極19bが形成され、さらにその上部には第2ゲート絶縁層11、及び第3ゲート絶縁層20を介してゲート電極19a、19bの両側にそれぞれサブゲート電極7及びサブゲート電極8が形成されている。また、ソース側n型不純物層3a、ドレイン側n型不純物層4a、ソース側p型不純物層3b、及びドレイン側p型不純物層4bの上部にはソース側コンタクト5及びドレイン側コンタクト6が開口されており、その開口部よりソース電極9及びドレイン電極10が引き出されている。ここで、サブゲート電極8下に形成されるTFTのチャンネル長 $LS2$ は、サブゲート電極7下に形成されるTFTのチャンネル長 $LS1$ よりも短くなっている。以上説明した手順でN、及びPの両側サブゲート構造TFTを形成しようとした場合、必要なマスクPR数は6PRとなり、半導体基板上にN、及びPのLDD構造高耐圧MOSFETを形成する場合に比べてマスクPR数を少なくすることができる。よって、従来のLDD構造高耐圧MOSFETよりも低コスト化が可能となる。

・【0037】図7は、本発明の第5実施形態による薄膜半導体装置の断面図である。PDPのデータドライバICを構成しようとした場合には、低電圧ロジック回路、及び高電圧回路を同一基板上に形成する必要がある。絶縁性基板13上にはpoly-Si層1が形成され、その上部に第1ゲート絶縁層12を介して、低電圧ロジック回路用TFTのN側ゲート電極2a、及びP側ゲート電極2bが形成されている。NTFTとなるpoly-Si層1の両端部にはソース側n型不純物層3a、ドレイン側n型不純物層4aが形成され、同様にPTFTの側にはソース側p型不純物層3b、ドレイン側p型不純物層4bが形成されている。そして、その上部には第2ゲート絶縁層11を介してソース側コンタクト5及びドレイン側コンタクト6が開口され、さらに上部にソース電極9、ドレイン電極10、及び高耐圧N側ゲート電極19a、高耐圧P側ゲート電極19bが同時形成されて

いる。これらの電極の上には第3ゲート絶縁層20を介して、サブゲート電極7、サブゲート電極8、及び上部配線層40が同時形成されており、必要に応じて第3ゲート絶縁層20に第2コンタクト40を開口することにより、下層配線との電氣的接続をとることができる。ここで、第2サブゲート電極8下に形成されるTFTのチャンネル長は、サブゲート電極7下に形成されるTFTのチャンネル長よりも短くなっている。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造TFTとともに、低電圧ロジック回路を構成するためのTFTをも同一基板上に形成することができ、これらにより形成されるデータドライバICの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクPR数は8PRで済む。従って、半導体基板上に形成されるMOSFETに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、両側サブゲート構造TFTのゲート絶縁層を厚くすることができるため、ゲート電極19a、19bを高電圧ロジック信号で駆動することが可能となり、出力バッファ回路を構成するの両側サブゲート構造TFTの駆動能力を向上させることができる。

・【0038】図8は、本発明の第6実施形態による薄膜半導体装置の断面図である。絶縁性基板13上にはpoly-Si層1が形成され、NTFTとなるpoly-Si層1の両端部にはソース側n型不純物層3a、ドレイン側n型不純物層4aが形成され、同様にPTFTの側にはソース側p型不純物層3b、ドレイン側p型不純物層4bが形成されている。それらの上部に第1ゲート絶縁層12を介して、低電圧ロジック回路用TFTのN側ゲート電極2a、P側ゲート電極2b、及び高耐圧N側ゲート電極19a、高耐圧P側ゲート電極19bが同時形成されている。そして、その上部には第2ゲート絶縁層11を介してソース側コンタクト5及びドレイン側コンタクト6が開口され、さらに上部にソース電極9、ドレイン電極10が形成されている。これらの電極の上には第3ゲート絶縁層20を介して、サブゲート電極7、サブゲート電極8、及び上部配線層40が同時形成されており、必要に応じて第3ゲート絶縁層20に第2コンタクト40を開口することにより、下層配線との電氣的接続をとることができる。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造TFTとともに、低電圧ロジック回路を構成するためのTFTをも同一基板上に形成することができ、データドライバICの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクPR数は8PRで済む。従って、半導体基板上に形成されるMOSFETに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、両側サブゲート構造TFTのゲート電極19a、19bを低電圧ロジック信号で駆動することが可能となるため、出力バッファ回路のゲート電極

を駆動するための回路の構成を簡単にすることができる。

・【0039】図9は、本発明の第7実施形態による薄膜半導体装置の断面図である。本実施形態では、両側サブゲート構造TFTのうちNTFTのゲート電極19aが、低電圧ロジック用TFTのゲート電極2a、2bと同時形成され、また、両側サブゲート構造TFTのうちPTFTのゲート電極19bが、ソース電極9、ドレイン電極10と同時形成されている。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造TFTとともに、低電圧ロジック回路を構成するためのTFTをも同一基板上に形成することができ、データドライバICの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクPR数は8PRで済む。従って、半導体基板上に形成されるMOSFETに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、例えばNTFTのゲート電極19aを低電圧ロジック信号で駆動し、PTFTのゲート電極19bを高電圧ロジック信号で駆動するという組み合わせが可能となり、出力バッファ回路のゲート電極を駆動するレベルシフタの回路設計に対する自由度を向上させることができる。なお、本実施形態の構成はPTFTとNTFTを入れ替えた場合でも同様に実現することが可能である。

・【0040】なお、上記実施形態において、低電圧ロジック回路用TFTのソース側n型不純物層3a、ドレイン側n型不純物層4a、ソース側p型不純物層3b、及びドレイン側p型不純物層4bを形成する際に、N側ゲート電極2a、P側ゲート電極2bを遮蔽層として用い、基板上部より不純物導入を行うことにより、低電圧ロジック回路用TFTをセルフアライン構造とすることができる。これにより、ゲート電極〜ドレイン電極、及びゲート電極〜ソース電極間のオーバーラップ容量を小さくすることができるので、低電圧ロジック回路の高速動作化が可能である。この場合も、デバイスの製造に必要なマスクPR数は上記各実施形態に対して増えることはなく、低コスト化の利点を十分に生かすことが可能である。

・【0041】以上説明したような本発明の薄膜半導体装置を用いて構成したデータドライバICによれば、設計した高圧ロジック回路の回路構成に最も好適になるようにTFTのデバイス構造を任意に組み合わせて用いることが可能であり、回路設計の自由度が大幅に向上する。しかも、何れの組合せを用いても、デバイスの製造に必要なマスクPR数は8PRで済むことに変わりはなく、低コスト化の利点を十分に生かすことが可能である。

・【0042】なお、以上の実施形態に用いる絶縁性基板としては無アルカリガラスを用いるのが低コスト化を図る上で有利であるが、不透明なセラミック系絶縁性基板、もしくは半導体基板表面に絶縁層を形成したものを

使用しても上記実施形態のディスプレイ駆動装置を構成することが可能である。

・【0043】さらに、上記実施形態において、図中には記載していないが、図11のブロック図で説明したレベルシフタ30については負荷の結合容量を介した駆動電圧変動の影響がないため、従来例で説明したような片側サブゲート構造TFTを用いても良い。この場合も上記で説明した本発明の薄膜半導体装置に対して製造工程数は何ら増えることはなく、低コスト化の利点を十分に生かすことが可能である。

・【0044】

・【発明の効果】以上説明した第1実施形態の本発明によれば、薄膜半導体装置の駆動能力低下を従来の両側サブゲート構造TFTを用いた場合よりも少なくしつつ、且つ負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブレイクダウンによる素子破壊を防止することが可能となる。これにより、必要な耐圧を確保しつつ、従来の両側サブゲート構造TFTを用いた装置よりも小型化が可能であるという効果を有する。

・【0045】また、TFTは絶縁基板上に形成されることから、各TFT素子間が完全に分離されるので、従来の半導体基板上に形成されるMOSFETのように、基板内の寄生素子を介したラッチアップ現象は根本的に発生せず、信頼性が向上するという効果を有する。

・【0046】さらに、MOSFETのように半導体基板との間の寄生容量がないため、今後の技術開発によりpoly-Si薄膜の移動度が結晶シリコン並みに向上すれば、半導体基板上のMOSFETにより構成された回路よりも高速動作化が可能であるという効果を有する。

・【0047】また、本発明の第2実施形態による薄膜半導体装置によれば、必要となるバイアス電圧の種類が少なくて済むので、外部電源を含めた搭載装置の低コスト化が可能であるという効果を有する。

・【0048】また、本発明の第3実施形態による薄膜半導体装置によれば、バイアス電圧源を新たに設ける必要がないため、本発明の薄膜半導体装置を搭載する装置全体としてみるとさらなる低コスト化が可能であるという効果を有する。

・【0049】また、本発明の第4実施形態による薄膜半導体装置によれば、N、及びPの両側サブゲート構造TFTを形成しようとした場合、必要なマスクPR数は6PRとなり、半導体基板上にN、及びPのLDD構造高耐圧MOSFETを形成する場合に比べてマスクPR数を少なくすることができる。よって、従来のLDD構造高耐圧MOSFETよりも低コスト化が可能となるという効果を有する。

・【0050】また、本発明の第5実施形態による薄膜半導体装置によれば、両側サブゲート構造TFTとともに、低電圧ロジック回路を構成するためのTFTをも同一基板上に形成することができ、これらにより形成され

るデータドライバICの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクPR数は8PRで済む。従って、半導体基板上に形成されるMOSFETに比べて製造コストを低く抑えることができるという効果を有する。さらに、本実施形態によれば、両側サブゲート構造TFTのゲート電極を低電圧ロジック信号で駆動することが可能となるため、出力バッファ回路のゲート電極を駆動するための回路の構成を簡単にすることができるという効果を有する。

・【0051】また、本発明の第6実施形態による薄膜半導体装置によれば、両側サブゲート構造TFTのゲート絶縁層を厚くすることができるため、ゲート電極19a、19bを高電圧ロジック信号で駆動することが可能となり、出力バッファ回路を構成するの両側サブゲート構造TFTの駆動能力を向上させることができるという効果を有する。

・【0052】また、本発明の第7実施形態による薄膜半導体装置によれば、例えばNTFTのゲート電極を低電圧ロジック信号で駆動し、PTFTのゲート電極を高電圧ロジック信号で駆動するという組み合わせが可能となり、出力バッファ回路のゲート電極を駆動するレベルシフタの回路設計に対する自由度を向上させることができるという効果を有する。

・【0053】また、本発明の薄膜半導体装置において低電圧ロジック回路用TFTをセルフアライン構造とすることにより、低電圧ロジック回路の高速動作化が可能であり、しかもデバイスの製造に必要なマスクPR数は8PRで済むことに変わりはなく、低コスト化の利点を十分に生かすことが可能であるという効果を有する。

・【0054】さらに、本発明の薄膜半導体装置によれば、半導体基板上にMOSFETを形成した従来の半導体装置に対して、低コスト部材の使用、大面積基板による量産効果、製造工程PR数の低減等による装置の低コスト化が可能で、さらに基板内の寄生素子を介したラッチアップ現象による信頼性低下が根本的に発生せず、さらに半導体基板との間の寄生容量がないために高速動作化が可能であるという、優れた効果を発揮する。

・【図面の簡単な説明】

・【図1】本発明の薄膜半導体装置構成する両側サブゲート構造TFTの断面図。

・【図2】本発明の薄膜半導体装置の回路図。

・【図3】本発明の薄膜半導体装置の実施形態を示す回路図。

・【図4】本発明の薄膜半導体装置の他の実施形態を示す回路図。

・【図5】サブゲート構造TFTにおけるドレイン電流とドレイン～ソース間逆方向電圧の関係を示す特性図。

・【図6】サブゲート構造TFTにおけるオン電流特性図。

・【図7】本発明の薄膜半導体装置を用いたデータドライ

バICのデバイス構造の実施形態を示す断面図。

・【図8】本発明の薄膜半導体装置を用いたデータドライバICのデバイス構造の他の実施形態を示す断面図。

・【図9】本発明の薄膜半導体装置を用いたデータドライバICのデバイス構造の他の実施形態を示す断面図。

・【図10】交流駆動型PDPのパネル、及び駆動回路部分の構成を示したブロック図。

・【図11】データドライバの内部構成を示すブロック図。

10 ・【図12】交流駆動型PDP各部の1サブフィールド期間における駆動波形図。

・【図13】交流駆動型PDPのデータ電極D_nに対して、容量結合をなしている隣接データ電極D_{n-1}、D_{n+1}、走査電極、及び維持電極を示した等価回路。

・【図14】書込期間において、データ電極D_nの電圧変動の様子を示した波形図。

・【図15】LDD構造高耐圧MOSFETの断面図。

・【図16】保護ダイオードを形成したMOSFETによるインバータ回路の等価回路図。

20 ・【図17】従来のサブゲート構造TFTの断面図。

・【図18】従来のサブゲート構造TFTを用いたCMOSインバータの回路図。

・【図19】出力バッファ用のTFTとは別に、TFT保護素子を設けた高耐圧出力バッファの一例を示す回路図。

・【図20】従来の両側サブゲート構造TFTの断面図。

・【図21】従来の両側サブゲート構造MOSFETの断面図。

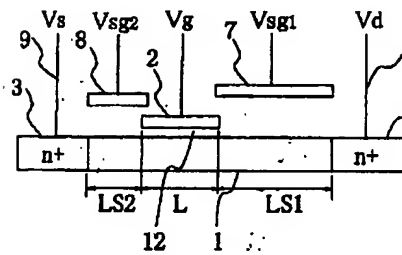
・【符号の説明】

- 30 1 poly-Si層
2 ゲート電極
2a N側ゲート電極
2b P側ゲート電極
3 ソース側不純物層
3a ソース側n型不純物層
3b ソース側p型不純物層
4 ドレイン側不純物層
4a ドレイン側n型不純物層
4b ドレイン側p型不純物層
40 5 ソース側コンタクト
6 ドレイン側コンタクト
7 サブゲート電極
8 サブゲート電極
9 ソース電極
9a N側ソース電極
9b P側ソース電極
10 ドレイン電極
11 第2ゲート絶縁層
12 第1ゲート絶縁層
50 13 絶縁性基板

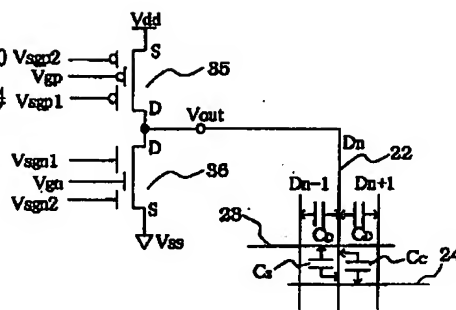
14 半導体基板
 15 フィールド酸化膜
 16 nウェル
 17 N側低濃度不純物層
 18 P側低濃度不純物層
 19a 高耐圧N側ゲート電極
 19b 高耐圧P側ゲート電極
 20 第3ゲート絶縁層
 21 PDPパネル
 22 データ電極
 23 走査電極
 24 維持電極
 25a、25b～25k データドライバ
 26A～26L 走査ドライバ

27 維持パルス発生器
 28 nビットシフトレジスタ
 29 nビットラッチ
 30 レベルシフタ
 31 高圧出力バッファ
 32 PチャンネルFET
 33 NチャンネルFET
 34 保護ダイオード
 35 PTFT
 36 NTFT
 37 PTFT保護素子
 38 NTFT保護素子
 39 第2コンタクト
 40 上部配線層

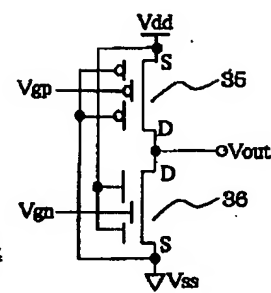
・【図1】



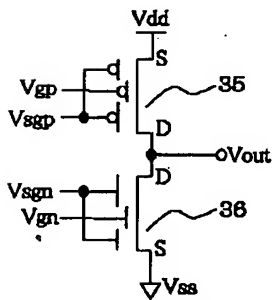
・【図2】



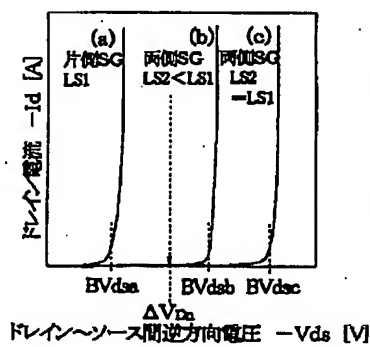
・【図4】



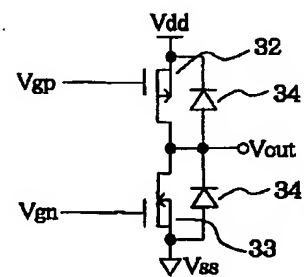
・【図3】



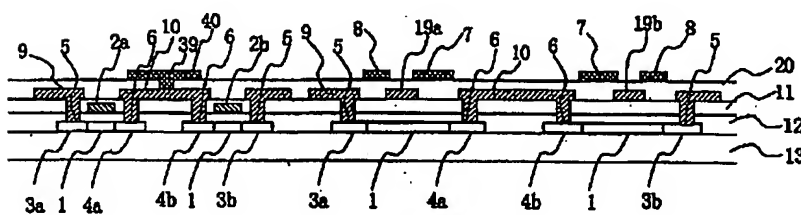
・【図5】



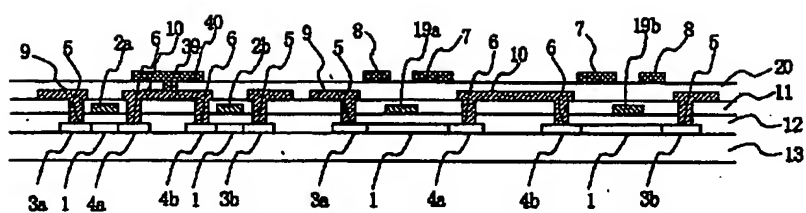
・【図16】




・【図7】

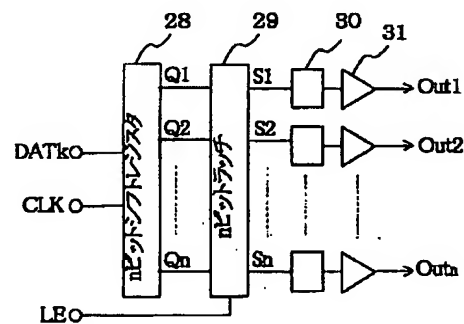


·【例8】

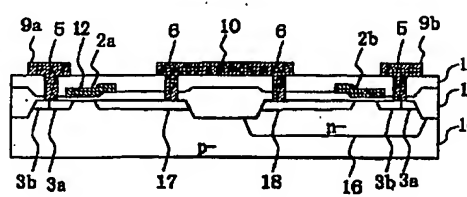


•【图 13】

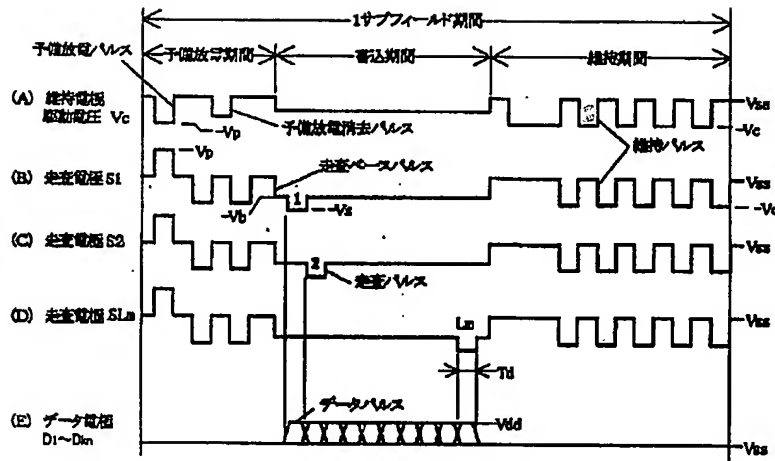
•【 1 1】



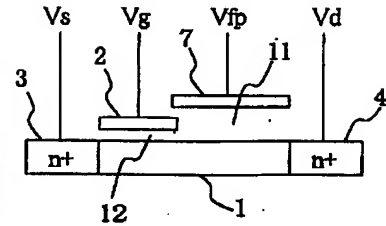
•【图 15】



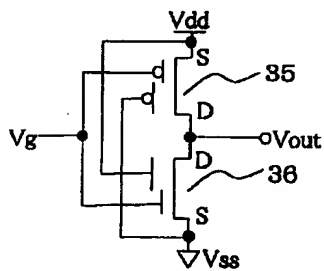
・【図12】



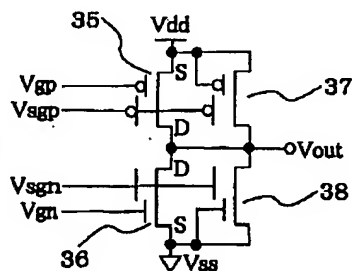
・【図17】



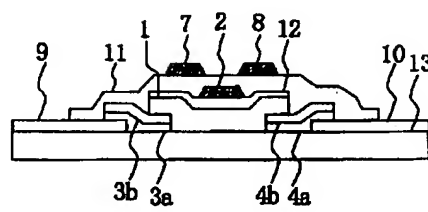
・【図18】



・【図19】



・【図20】



・【図21】

